

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353223

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 21/3205

H01L 21/304

H01L 21/768

(21)Application number : 2001-162377

(71)Applicant : SONY CORP

(22)Date of filing : 30.05.2001

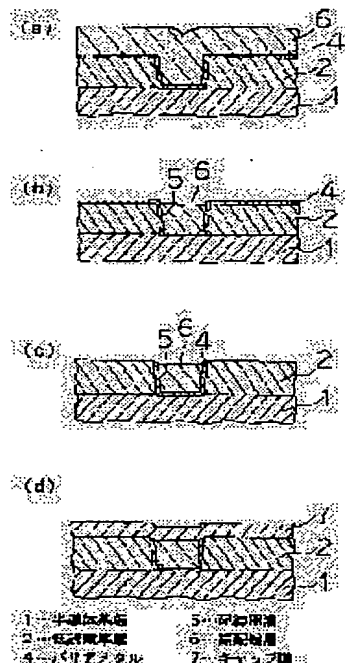
(72)Inventor : SHIMANOE MUNEHARU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has a simple structure and high reliability by using only a low dielectric constant film for an insulation film.

SOLUTION: This manufacturing method comprises a process for forming the low dielectric constant film 2 on a semiconductor substrate 1 and forming wiring grooves 5 in the film 2, a process for forming a barrier metal 4 on the surface of the low dielectric constant film 2 and in the wiring grooves 5, a process for forming a copper wiring layer 6 so as to fill in the wiring grooves 5, a process for eliminating the copper wiring layer 6 on the barrier metal layer 4 except for the inside of the wiring grooves 5, and a process for removing needless barrier metals 4 on the low dielectric constant film 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-353223

(P2002-353223A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コード(参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 1 D 5 F 0 3 3
21/304	6 2 1	21/88	K
21/768		21/90	V

審査請求 未請求 請求項の数5 O L (全 4 頁)

(21)出願番号 特願2001-162377(P2001-162377)

(22)出願日 平成13年5月30日(2001.5.30)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 島ノ江 宗治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100090527

弁理士 館野 千恵子

Fターム(参考) 5F033 HH11 HH18 HH21 HH32 HH33

MM02 MM12 MM13 QQ09 QQ37

QQ46 QQ48 RR06 RR11 RR21

RR22 RR29 XX10 XX25 XX33

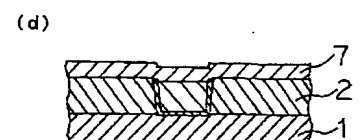
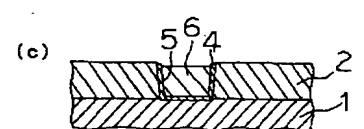
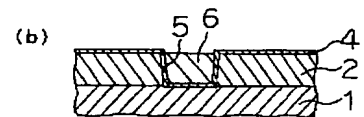
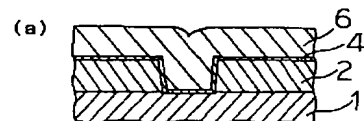
XX34

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 絶縁膜を低誘電率膜のみとすることにより、構造が簡単で信頼性の高い半導体装置を提供する。

【解決手段】 半導体基板1上に低誘電率膜2を形成し、この低誘電率膜2に配線用溝5を形成する工程と、低誘電率膜2の表面および配線用溝5にバリアメタル4を形成する工程と、配線用溝5を埋め込むように銅配線層6を形成する工程と、配線用溝5内の部分を残してバリアメタル4上の銅配線層6を除去する工程と、低誘電率膜2上の余分なバリアメタル4を除去する工程とを具備する。



1…半導体基板 5…配線用溝
2…低誘電率膜 6…銅配線層
4…バリアメタル 7…キャップ膜

【特許請求の範囲】

【請求項 1】 半導体基板上の絶縁膜に形成された配線用溝にバリアメタルを介して銅配線層が形成された半導体装置であって、

前記絶縁膜は 1 層の低誘電率膜で構成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板上に低誘電率膜を形成する工程と、

前記低誘電率膜に配線用溝を形成する工程と、

前記低誘電率膜の表面および配線用溝にバリアメタルを形成する工程と、

前記配線用溝を埋め込むように銅配線層を形成する工程と、

前記配線用溝内の部分を残して前記バリアメタル上の銅配線層を除去する工程と、

前記低誘電率膜上の余分なバリアメタルを除去する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 3】 前記低誘電率膜上の余分なバリアメタルを除去する工程を流体研磨で行うことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記バリアメタル上の銅配線層を除去する工程を CMP 法で行うことを特徴とする請求項 2 または 3 記載の半導体装置の製造方法。

【請求項 5】 前記バリアメタル上の銅配線層を除去する工程を流体研磨で行うことを特徴とする請求項 2 または 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは、半導体基板上に絶縁膜およびバリアメタルを介して銅配線層を形成した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化、小型に伴い、配線の微細化、配線ピッチの縮小化および配線の多層化が進んでおり、半導体装置の製造プロセスにおける多層配線技術の重要性が増大している。従来、多層配線構造の半導体装置の配線材料としてアルミニウムが多用されてきたが、近年の 0.25 μm ルール以下のデザインルールにおいて、信号の伝搬遅延を抑制するために、配線材料をアルミニウムから銅に代えた配線プロセスの開発が行われるようになってきている。銅を配線に使用すると、低抵抗と高エレクトロマイグレーション耐性を両立できるという利点がある。

【0003】この銅を使用する配線プロセスでは、予め層間絶縁膜に形成した溝状の配線パターンに金属を埋め込み、CMP (Chemical Mechanical Polishing; 化学機械研磨) 法によって余分な金属膜を除去して配線を形成する、ダマシン法と呼ば

れる配線プロセスが有力になっている。このダマシン法は、配線のエッチングが不要であり、さらに、上層の層間絶縁膜を自ずと平坦なものになるので、工程を簡略化できる。さらに、層間絶縁膜に配線用溝だけでなく、コンタクトホールも溝として開け、配線用溝とコンタクトホールを同時に金属で埋め込むデュアルダマシン (Dual Damascene) 法では、さらに大幅な配線工程の削減が可能となる。

【0004】図 2 は、従来のデュアルダマシン法による銅配線形成のプロセスを示している。図 2 (a) に示すように、酸化シリコン (SiO_2) 等の半導体基板 1 上に、低誘電率膜 (Low-k) 2 を形成し、さらにその上に酸化シリコンからなる絶縁膜 3 を形成する。そして、バリアメタル 4 を絶縁膜 3 の表面および半導体基板 1 の不純物拡散領域に通じるコンタクトホール 5 に形成する。このバリアメタル 4 としては、Ta, Ti, TaN, TiN 等の金属材料を周知のスパッタ法により形成する。このバリアメタル 4 の上に、配線用溝 (コンタクトホール) 5 を埋め込むように銅配線層 6 を形成する。

【0005】次に、図 2 (b) に示すように、配線用溝 5 内の部分を残してバリアメタル 4 上の銅配線層 6 を除去する。次に、図 2 (c) に示すように、絶縁膜 3 上の余分なバリアメタル 4 を CMP 法によって除去し、平坦化する。最後に、図 2 (d) に示すように、絶縁膜 3 上に窒化シリコン (SiN) のキャップ膜 7 を形成する。

【0006】上記のような、従来の半導体装置の製造方法では、銅配線層 6 の層間絶縁膜として低誘電率膜 2 を使用しているが、この低誘電率膜 2 が CMP に対して強度が小さく、そのため低誘電率膜 2 に傷が入ったり剥がれたりして、CMP 面として使用できなくなることがある。そのため、従来では低誘電率膜 2 の上にさらに酸化シリコンからなる絶縁膜 3 を設け、2 層の絶縁膜とすることにより、耐 CMP を確保している。

【0007】ところが、低誘電率膜 2 および酸化シリコン膜 3 は、熱処理によってストレスを受けて剥がれが発生しやすい。また、酸化シリコン膜 3 の厚さの分、銅配線層 6 による誘電率が高くなり、配線抵抗が大きくなるという問題があった。さらにまた、半導体装置の全体の膜層が多くなるため、構造が複雑になり、信頼性が低下するという問題もあった。

【発明が解決しようとする課題】

【0008】本発明は、上記のような問題を解決するためになされたもので、絶縁膜を低誘電率膜の 1 層のみとすることにより、構造が簡単で信頼性の高い半導体装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る半導体装置は、半導体基板上の絶縁膜に形成されたコンタクトホールにバリアメタルを介して銅配線層が形成された半導体装置であって、前記絶縁膜

は 1 層の低誘電率膜で構成されていることを特徴とする。

【0010】本発明に係わる半導体装置の製造方法は、半導体基板上に、低誘電率膜を形成し、この低誘電率膜に配線用溝を形成する工程と、前記低誘電率膜の表面および配線用溝にバリアメタルを形成する工程と、前記配線用溝を埋め込むように銅配線層を形成する工程と、前記配線用溝内の部分を残して前記バリアメタル上の銅配線層を除去する工程と、前記低誘電率膜上の余分なバリアメタルを除去する工程とを具備することを特徴とする。

【0011】また、前記低誘電率膜上の余分なバリアメタルを除去する工程を流体研磨で行うことができる。また、前記バリアメタル上の銅配線層を除去する工程を CMP または流体研磨のいずれかで行うことができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。なお、図 1 において、図 2 と同一部材または同一機能のものは同一符号で示している。図 1 (a) に示すように、酸化シリコン (SiO₂) 等の半導体基板 1 上に、低誘電率膜 (Low-k) 2 のみを形成する。この低誘電率膜としては、例えば、SiF、SiOCH、ポリアリールエーテル、ポーラスシリカ、ポリイミド等がある。そして、バリアメタル 4 を低誘電率膜 2 の表面および配線用溝 (コンタクトホール) 5 の内壁に形成する。バリアメタル 4 としては、Ta、Ti、Ta₂N、TiN 等の金属材料を周知のスパッタ法により形成する。このバリアメタル 4 の上に、配線用溝 5 を埋め込むように銅配線層 6 を形成する。

【0013】次に、図 1 (b) に示すように、配線用溝 5 内の部分を残してバリアメタル 4 上の銅配線層 6 を研磨により除去する。次に、図 1 (c) に示すように、低誘電率膜 2 上の余分なバリアメタル 4 を研磨により除去する。この場合、低誘電率膜 2 が軟質であるため、CMP 法で研磨を行うと、バリアメタル 4 を除去して低誘電率膜 2 を露出させるときに低誘電率膜 2 にスクラッチや剥がれが発生しやすい。そこで、図 1 (c) の除去工程

は、圧力が小さく衝撃の少ない流体研磨により行う。

【0014】流体研磨は、研磨工具の微細孔から微細砥粒が混合されているスラリーを被研磨面に向けて噴出させて被研磨物面から極微小の除去を行う方法である。この流体研磨に使用するスラリーは、低誘電率膜 2 が浸食されない液体であって、微細砥粒の粒径は 100 nm 以下が好ましく、また、pH が 7~14 の中性またはアルカリ性のものが好ましい。このような流体研磨を用いることにより、低誘電率膜 2 のスクラッチや剥がれが発生をなくすることができる。

【0015】なお、図 1 (b) の銅配線層 6 の除去は CMP 法でもよいが、必要に応じてこの工程も流体研磨を用いることができる。最後に、図 1 (d) に示すように、絶縁膜 3 上に窒化シリコン (SiN) のキャップ膜 7 を形成する。多層構造の場合は、このキャップ膜 7 上に同構造の半導体装置を形成する。

【0016】

【発明の効果】以上、詳述したように、本発明の半導体装置によれば、絶縁膜を 1 層の低誘電率膜で構成したので、従来のような低誘電率膜と酸化シリコン膜との界面での剥がれをなくできると共に、酸化シリコン膜がないため、銅配線層の全体が低誘電率膜層に接触する構造になり、したがって、銅配線層による誘電率が低く、配線抵抗も小さくすることができ、さらにまた、半導体装置の全体の膜層が少ないため、構造が簡単で、信頼性が向上するという効果がある。また、本発明の半導体装置の製造方法によれば、絶縁膜が低誘電率膜の 1 層で済むため、製造プロセスが少なくなり、製造コストを低減できるという効果がある。

【図面の簡単な説明】

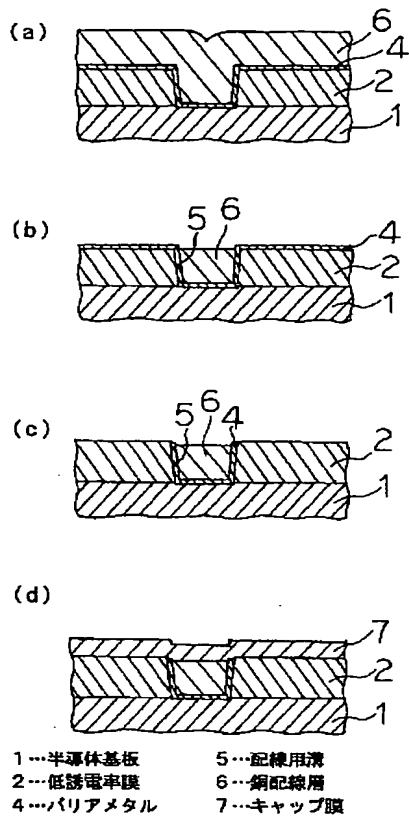
【図 1】本発明の実施の形態を示す製造工程断面図である。

【図 2】従来の半導体装置の製造方法を示す製造工程断面図である。

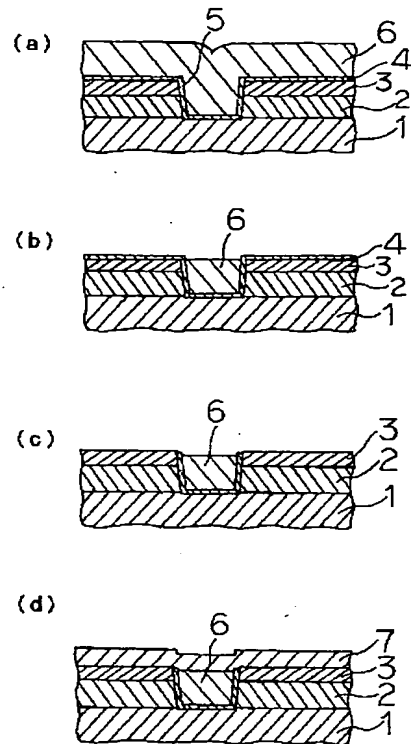
【符号の説明】

1……半導体基板、2……低誘電率膜、4……バリアメタル、5……配線用溝、6……銅配線層

【図1】



【図2】



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**